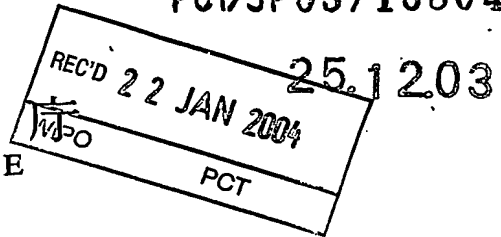


PCT/JP03/16804

日本国特許  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2002年12月25日

出願番号  
Application Number: 特願2002-373349  
[ST. 10/C]: [JP2002-373349]

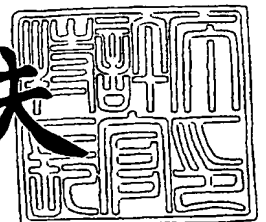
出願人  
Applicant(s): 日本電気株式会社

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2003年 7月28日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-305968

【書類名】 特許願

【整理番号】 34002285

【提出日】 平成14年12月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/00

【発明者】

    【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

    【氏名】 田辺 昭

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100088812

    【弁理士】

    【氏名又は名称】 ▲柳▼川 信

【手数料の表示】

    【予納台帳番号】 030982

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9001833

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 評価装置及びそれに用いる回路設計方法

【特許請求の範囲】

【請求項1】 MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート・ソース・ドレイン・基板にDC電圧を印加した状態で前記ゲートに微小電圧のAC入力信号を重畳する手段と、前記ゲートに微小電圧のAC入力信号を重畳した時に前記ソースと前記ドレインとの間に流れる電流のAC成分を測定する手段と、この測定した前記AC成分の振幅と前記AC入力信号の振幅との比から前記MOSFETの前記AC入力信号の周波数における相互コンダクタンスを求める手段とを有することを特徴とする評価装置。

【請求項2】 前記MOSFETは、SOI (Silicon On Insulator) 構造であることを特徴とする請求項1記載の評価装置。

【請求項3】 前記相互コンダクタンスをゲート電圧を掃引しながら測定して前記相互コンダクタンスを前記ゲート電圧で積分することで前記AC入力信号の周波数近辺におけるドレイン電流を求める手段を含むことを特徴とする請求項1または請求項2記載の評価装置。

【請求項4】 前記AC入力信号の周波数における前記MOSFETの相互コンダクタンスとDCでの前記MOSFETの相互コンダクタンスとの比と、前記MOSFETのボディ電圧としきい値との関係とから前記AC入力信号が入力されている状態での前記ボディ電圧のAC成分の振幅を求める手段を含むことを特徴とする請求項1または請求項2記載の評価装置。

【請求項5】 前記相互コンダクタンスの測定を前記ゲート電圧が前記MOSFETのしきい値の上下0.5V以内となるバイアス条件で行うことを特徴とする請求項1または請求項2記載の評価装置。

【請求項6】 SOI (Silicon On Insulator) MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート・ソース・ドレイン・基板

に一定の電圧を印加した状態で前記ドレインに微小電圧のAC入力信号を重畳する手段と、前記ドレインに微小電圧のAC入力信号を重畳した時に前記ソースと前記ドレインとの間に流れる電流のAC成分を測定する手段と、この測定された前記AC成分の振幅と前記AC入力信号の振幅との比から前記SOI MOSFETの前記AC入力信号の周波数におけるドレインコンダクタンスを求める手段と、前記AC入力信号の周波数におけるドレインコンダクタンスとDCでの前記SOI MOSFETのドレインコンダクタンスとの比と、前記SOI MOSFETのボディ電圧としきい値との関係とから前記AC入力信号が入力されている状態での前記ボディ電圧のAC成分の振幅を求める手段とを有することを特徴とする評価装置。

【請求項7】 SOI (Silicon On Insulator) MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート・ソース・ドレイン・基板に一定の電圧を印加した状態で前記ドレインに微小電圧のAC入力信号を重畳する手段と、前記ドレインに微小電圧のAC入力信号を重畳した時に前記ソースと前記ドレインとの間に流れる電流のAC成分を測定する手段と、この測定された前記AC成分の振幅と前記AC入力信号の振幅との比から前記SOI MOSFETの前記AC入力信号の周波数におけるドレインコンダクタンスを求める手段と、前記ドレインコンダクタンスの測定をドレイン電圧の絶対値が0.5V以内であるバイアス条件で行う手段とを有することを特徴とする評価装置。

【請求項8】 MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート・ソース・ドレイン・基板にDC電圧を印加した状態で前記ゲートに微小電圧のAC入力信号を重畳するステップと、前記ゲートに微小電圧のAC入力信号を重畳した時に前記ソースと前記ドレインとの間に流れる電流のAC成分を測定するステップと、この測定した前記AC成分の振幅と前記AC入力信号の振幅との比から前記MOSFETの前記AC入力信号の周波数における相互コンダクタンスを求めるステップと、前記相互コンダクタンスの周波数特性の前記ゲート・ソース・ドレイン・基板電圧依存性を前記MOSFETをシミュレートする回路シミュレ

ーションによって得られる相互コンダクタンスの周波数特性の前記ゲート・ソース・ドレイン・基板電圧依存性と比較するステップと、前記回路シミュレーションの結果が前記MOSFETの測定結果から得られる相互コンダクタンスの周波数特性に近づくように前記回路シミュレーションに用いるパラメータを変化させるステップとを有することを特徴とする回路設計方法。

【請求項9】 前記MOSFETは、SOI (Silicon On Insulator) 構造であることを特徴とする請求項10記載の回路設計方法。

【請求項10】 前記パラメータが前記MOSFETのボディとゲート・ソース・ドレイン・基板との間の容量及び抵抗のいずれかであることを特徴とする請求項10または請求項11記載の回路設計方法。

【請求項11】 SOI (Silicon On Insulator) MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート・ソース・ドレイン・基板に一定の電圧を印加した状態で前記ドレインに微小電圧のAC入力信号を重畳するステップと、前記ドレインに微小電圧のAC入力信号を重畳した時に前記ソースと前記ドレインとの間に流れる電流のAC成分を測定するステップと、この測定された前記AC成分の振幅と前記AC入力信号の振幅との比から前記SOI MOSFETの前記AC入力信号の周波数におけるドレインコンダクタンスを求めるステップと、前記ドレインコンダクタンスの周波数特性の前記ゲート・ソース・ドレイン・基板電圧依存性を前記SOI MOSFETをシミュレートする回路シミュレーションによって得られるドレインコンダクタンスの周波数特性の前記ゲート・ソース・ドレイン・基板電圧依存性と比較するステップと、前記回路シミュレーションの結果が前記MOSFETの測定結果から得られるドレインコンダクタンスの周波数特性に近づくように前記回路シミュレーションに用いるパラメータを変化させるステップとを有することを特徴とする回路設計方法。

【請求項12】 前記変化させるパラメータが前記SOI MOSFETのボディと前記ゲート・ソース・ドレイン・基板との間の容量及び抵抗のいずれかであることを特徴とする請求項13記載の回路設計方法。

【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は評価装置及びそれに用いる回路設計方法に関し、特にSOI (Silicon On Insulator) MOSFET (Metal Oxide Semiconductor Field Effect Transistor) の評価装置に関する。

## 【0002】

## 【従来の技術】

SOI MOSFETでは、ヒストリ効果のため、動作履歴によってオン電流が変化することが知られている。このため、SOI MOSFETではDCでのI-V特性以外に動的なI-V特性を知る必要がある。

## 【0003】

従来、このI-V特性を測定するには、図15に示すようなパルス測定方式が用いられている。図15においては、MOSFET 105のソースをグラウンドに、ドレインを誘導性負荷(L1) 121を介して電源に接続し、さらに容量性の素子(C1) 122を介してオシロスコープ120に接続する。また、ゲートにはパルス発生器119を接続する。

## 【0004】

パルス発生器119から方形波をMOSFET 105に入力すると、MOSFET 105のドレイン電流の変化によって誘導性負荷(L1) 121を流れる電流が変化し、ドレインの電圧が変化する。このドレイン電圧の変化はオシロスコープ120によって観測される。誘導性負荷(L1) 121の特性が分かっているならば、このドレイン電圧の変化からドレイン電流の変化が求まる。この入力の方波の振幅とドレイン電流との関係がパルス入力時のI-V特性となる(例えば、非特許文献1参照)。

## 【0005】

他の測定方式としては、図16に示すようなドレインコンダクタンス法と呼ばれる方式がある。この方式ではゲートにDCの電圧を加えた状態で、ソースとドレインとにインピーダンスアナライザを接続し、AC信号を印加しながらソース

ードレイン間の微分コンダクタンス  $g_D$  を測定する。この微分コンダクタンス  $g_D$  をドレイン電圧で積分すると、AC信号の周波数でのI-V特性が得られる(例えば、非特許文献2参照)。

【0006】

SOI MOSFETの回路設計にはBSIM SOI等のSOI対応SPICE(回路シミュレータ)パラメータが使用されている。このパラメータの抽出にはDCでのI-V測定の値が用いられている(例えば、非特許文献3参照)。

【0007】

【非特許文献1】

IEEE Electron Device Letters, Vol. 16, No. 4, p145, 1995

【非特許文献2】

IEEE Journal of Solid-State Circuits Vol. 27, No. 8, p1186, 1992

【非特許文献3】

BSIM PD 2.1 MOSFET MODEL Users' Manual BSIM Research Group 1999

【0008】

【発明が解決しようとする課題】

パルス測定方式は電圧をオシロスコープで観測するが、オシロスコープの電圧分解能はDCの電流計や電圧計に比べて低いために、測定される電圧の精度が低いという問題がある。また、方形波には種々の周波数の信号が含まれているため、特定の周波数におけるI-V特性を得ることができない。

【0009】

ドレインコンダクタンス法はインピーダンスアナライザを使用するため、パルス測定方式よりも高精度である。しかしながら、ゲート電圧一定で測定するため、実際のMOSFETの動作とは異なっている。このため、実際のMOSFETの動作における動的なI-V特性を知ることができないという問題がある。

【0010】

また、実際の動作における動的な I-V 特性が分からないために、SOI 対応 SPICE パラメータの抽出作業において、動的な I-V 特性に対するパラメータのフィッティングが行われない。

#### 【0011】

そこで、本発明の目的は上記の問題点を解消し、MOSFET の AC 動作での I-V 特性を精度良く測定することができる評価装置及びそれに用いる回路設計方法を提供することにある。

#### 【0012】

##### 【課題を解決するための手段】

本発明による評価装置は、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート・ソース・ドレイン・基板に DC 電圧を印加した状態で前記ゲートに微小電圧の AC 入力信号を重畳する手段と、前記ゲートに微小電圧の AC 入力信号を重畳した時に前記ソースと前記ドレインとの間に流れる電流の AC 成分を測定する手段と、この測定した前記 AC 成分の振幅と前記 AC 入力信号の振幅との比から前記 MOSFET の前記 AC 入力信号の周波数における相互コンダクタンスを求める手段とを備えている。

#### 【0013】

本発明による他の評価装置は、SOI (Silicon On Insulator) MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート・ソース・ドレイン・基板に一定の電圧を印加した状態で前記ドレインに微小電圧の AC 入力信号を重畳する手段と、前記ドレインに微小電圧の AC 入力信号を重畳した時に前記ソースと前記ドレインとの間に流れる電流の AC 成分を測定する手段と、この測定された前記 AC 成分の振幅と前記 AC 入力信号の振幅との比から前記 SOI MOSFET の前記 AC 入力信号の周波数におけるドレインコンダクタンスを求める手段と、前記 AC 入力信号の周波数におけるドレインコンダクタンスと DC での前記 SOI MOSFET のドレインコンダクタンスとの比と、前記 SOI MOSFET のボディ電圧としきい値との関係とから前記 AC 入力信号が



入力されている状態での前記ボディ電圧のAC成分の振幅を求める手段とを備えている。

**【0014】**

本発明による別の評価装置は、SOI (Silicon On Insulator) MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート・ソース・ドレイン・基板に一定の電圧を印加した状態で前記ドレインに微小電圧のAC入力信号を重畳する手段と、前記ドレインに微小電圧のAC入力信号を重畳した時に前記ソースと前記ドレインとの間に流れる電流のAC成分を測定する手段と、この測定された前記AC成分の振幅と前記AC入力信号の振幅との比から前記SOI MOSFETの前記AC入力信号の周波数におけるドレインコンダクタンスを求める手段と、前記ドレインコンダクタンスの測定をドレイン電圧の絶対値が0.5V以内であるバイアス条件で行う手段とを備えている。

**【0015】**

本発明による回路設計方法は、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート・ソース・ドレイン・基板にDC電圧を印加した状態で前記ゲートに微小電圧のAC入力信号を重畳するステップと、前記ゲートに微小電圧のAC入力信号を重畳した時に前記ソースと前記ドレインとの間に流れる電流のAC成分を測定するステップと、この測定した前記AC成分の振幅と前記AC入力信号の振幅との比から前記MOSFETの前記AC入力信号の周波数における相互コンダクタンスを求めるステップと、前記相互コンダクタンスの周波数特性の前記ゲート・ソース・ドレイン・基板電圧依存性を前記MOSFETをシミュレートする回路シミュレーションによって得られる相互コンダクタンスの周波数特性の前記ゲート・ソース・ドレイン・基板電圧依存性と比較するステップと、前記回路シミュレーションの結果が前記MOSFETの測定結果から得られる相互コンダクタンスの周波数特性に近づくように前記回路シミュレーションに用いるパラメータを変化させるステップとを備えている。

**【0016】**

本発明による他の回路設計方法は、SOI (Silicon On Insulator) MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート・ソース・ドレイン・基板に一定の電圧を印加した状態で前記ドレインに微小電圧のAC入力信号を重畳するステップと、前記ドレインに微小電圧のAC入力信号を重畳した時に前記ソースと前記ドレインとの間に流れる電流のAC成分を測定するステップと、この測定された前記AC成分の振幅と前記AC入力信号の振幅との比から前記SOI MOSFETの前記AC入力信号の周波数におけるドレインコンダクタンスを求めるステップと、前記ドレインコンダクタンスの周波数特性の前記ゲート・ソース・ドレイン・基板電圧依存性を前記SOI MOSFETをシミュレートする回路シミュレーションによって得られるドレインコンダクタンスの周波数特性の前記ゲート・ソース・ドレイン・基板電圧依存性と比較するステップと、前記回路シミュレーションの結果が前記MOSFETの測定結果から得られるドレインコンダクタンスの周波数特性に近づくように前記回路シミュレーションに用いるパラメータを変化させるステップとを備えている。

#### 【0017】

すなわち、本発明の評価装置は、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート・ソース・ドレイン・基板にDC電圧を印加した状態で、ゲートに微小電圧のAC入力信号を重畳し、この時にソースドレイン間に流れる電流のAC成分を測定し、電流のAC成分の振幅とAC入力信号の振幅との比からMOSFETのAC入力信号の周波数における相互コンダクタンスを求めている。この場合、MOSFETはSOI (Silicon On Insulator) 構造である。

#### 【0018】

また、本発明の評価装置では、相互コンダクタンスを、ゲート電圧を掃引しながら測定し、相互コンダクタンスをゲート電圧で積分することで、AC入力信号の周波数近辺におけるドレイン電流を求めている。

#### 【0019】

さらに、本発明の評価装置では、AC入力信号の周波数におけるMOSFETの相互コンダクタンスとDCでのMOSFETの相互コンダクタンスとの比と、MOSFETのボディ電圧としきい値との関係とから、AC入力信号が入力されている状態でのボディ電圧のAC成分の振幅を求めている。

#### 【0020】

上述した本発明の評価装置では、相互コンダクタンスの測定をゲート電圧がMOSFETのしきい値の上下0.5V以内であるようなバイアス条件で行っている。

#### 【0021】

本発明の回路設計方法では、相互コンダクタンスの周波数特性のゲート・ソース・ドレイン・基板電圧依存性を、SOI MOSFETをシミュレートする回路シミュレーションによって得られる相互コンダクタンスと比較し、回路シミュレーション結果がMOSFETの測定結果から得られる相互コンダクタンスの周波数特性に近づくように回路シミュレーションに用いるパラメータを変化させている。この場合、変化させるパラメータはSOI MOSFETのボディとゲート・ソース・ドレイン・基板との間の容量または抵抗である。

#### 【0022】

本発明の評価装置では、SOI MOSFETのゲート・ソース・ドレイン・基板に一定の電圧を印加した状態で、ドレインに微小電圧のAC入力信号を重畳し、この時にソース・ドレイン間に流れる電流のAC成分を測定し、電流のAC成分の振幅とAC入力信号の振幅との比からSOI MOSFETのAC入力信号の周波数におけるドレインコンダクタンスを求めるとともに、AC入力信号の周波数におけるドレインコンダクタンスとDCでのSOI MOSFETのドレインコンダクタンスとの比と、SOI MOSFETのボディ電圧としきい値との関係とから、AC入力信号が入力されている状態でのボディ電圧のAC成分の振幅を求めている。

#### 【0023】

また、本発明の回路設計方法では、SOI MOSFETのゲート・ソース・ドレイン・基板に一定の電圧を印加した状態で、ドレインに微小電圧のAC入力

信号を重畳し、この時にソース・ドレイン間に流れる電流のAC成分を測定し、電流のAC成分の振幅とAC入力信号の振幅との比からSOI MOSFETのAC入力信号の周波数におけるドレインコンダクタンスを求めるとともに、ドレインコンダクタンスの周波数特性のゲート・ソース・ドレイン・基板電圧依存性を、SOI MOSFETをシミュレートする回路シミュレーションによって得られるドレインコンダクタンスと比較し、回路シミュレーション結果がMOSFETの測定結果から得られるドレインコンダクタンスの周波数特性に近づくように回路シミュレーションに用いるパラメータを変化させている。

#### 【0024】

さらに、本発明の回路設計方法では、変化させるパラメータがSOI MOSFETのボディとゲート・ソース・ドレイン・基板との間の容量または抵抗としている。

#### 【0025】

さらにまた、本発明の評価装置では、SOI MOSFETのゲート・ソース・ドレイン・基板に一定の電圧を印加した状態で、ドレインに微小電圧のAC入力信号を重畳し、この時にソース・ドレイン間に流れる電流のAC成分を測定し、電流のAC成分の振幅とAC入力信号の振幅との比からSOI MOSFETのAC入力信号の周波数におけるドレインコンダクタンスを求めるとともに、ドレインコンダクタンスの測定をドレイン電圧の絶対値が0.5V以内であるようなバイアス条件で行っている。

#### 【0026】

上記のように、本発明の評価装置では、ゲートやドレインからAC信号を入力した時のI-V特性を測定することで、実際のMOSFETの動作に近い状態での動的なI-V特性を高精度に測定することが可能となる。また、本発明の評価装置では、SOI MOSFETでこの動的なI-V特性からボディ電圧の動的な変化を高精度に測定することが可能となる。さらに、この動的なI-V特性とSPICEパラメータによって予測されるI-V特性を比較することで、動的なI-V特性を忠実に再現できるSPICEパラメータを得ることが可能となる。

#### 【0027】

**【発明の実施の形態】**

次に、本発明の実施の形態について図面を参照して説明する。図1は本発明の実施の形態による評価装置の構成を示すブロック図である。図1において、評価装置1はAC入力信号重畳回路11と、AC成分測定回路12と、相互コンダクタンス算出回路13とから構成されている。

**【0028】**

図2は本発明の実施の形態による評価装置の動作を示すフローチャートである。これら図1及び図2を用いて本発明の実施の形態による評価装置1の動作について説明する。

**【0029】**

評価装置1において、AC入力信号重畳回路11はMOSFET (Metal Oxide Semiconductor Field Effect Transistor) のゲート・ソース・ドレイン・基板にDC電圧を印加し(図2ステップS1)、ゲートに微小電圧のAC入力信号を重畳する(図2ステップS2)。

**【0030】**

AC成分測定回路12はその時のソースドレイン間に流れる電流のAC成分を測定し(図2ステップS3)、相互コンダクタンス算出回路13は電流のAC成分の振幅とAC入力信号の振幅との比較を行い(図2ステップS4)、この比からMOSFETのAC入力信号の周波数における相互コンダクタンスを求める(図2ステップS5)。

**【0031】**

図3は本発明の実施の形態による評価装置の回路構成を示す図である。図3において、本発明の実施の形態による評価装置では、DC電圧源104でnMOS (Metal Oxide Semiconductor) またはpMOSのMOSFET105のドレイン端子に一定電圧を印加した状態で、AC電圧源101とDC電圧源103とを直列接続した電圧源をMOSFET105のゲート端子に接続し、その電圧源の反対側の端子をグラウンドに接続する。

**【0032】**

また、本発明の実施の形態による評価装置では、AC電流計102の入力端子をMOSFET105のソース端子に接続し、AC電流計102の反対側の端子をグラウンドに接続する。この状態で、AC電流計102の測定値とAC電圧源101の振幅との比を求めると、その値はAC信号の周波数でのMOSFET105の相互コンダクタンスとなる。

#### 【0033】

図4は本発明の一実施例による評価装置の構成を示すブロック図である。図4において、本発明の一実施例による評価装置2はドレイン電流算出回路21を付加した以外は図1に示す本発明の実施の形態による評価装置1と同様の構成となっており、同一構成要素には同一符号を付してある。

#### 【0034】

図5は本発明の一実施例による評価装置の動作を示すフローチャートである。これら図4及び図5を用いて本発明の一実施例による評価装置2の動作について説明する。

#### 【0035】

評価装置2において、AC入力信号重畳回路11はMOSFETのゲート・ソース・ドレイン・基板にDC電圧を印加し（図5ステップS11）、ゲートに微小電圧のAC入力信号を重畳する（図5ステップS12）。

#### 【0036】

AC成分測定回路12はその時のソースドレイン間に流れる電流のAC成分を測定し（図5ステップS13）、相互コンダクタンス算出回路13は電流のAC成分の振幅とAC入力信号の振幅との比較を行い（図5ステップS14）、この比からMOSFETのAC入力信号の周波数における相互コンダクタンスを求める（図5ステップS15）。

#### 【0037】

ドレイン電流算出回路21は相互コンダクタンスを、ゲート電圧を掃引しながら測定し、相互コンダクタンスをゲート電圧で積分し（図5ステップS16）、AC入力信号の周波数近辺におけるドレイン電流を求める（図5ステップS17）。

## 【0038】

図6は本発明の一実施例による評価装置の回路構成を示す図である。図6においては、本発明の一実施例による評価装置2における実際の測定例を示しており、インピーダンスアナライザ106の内部にはH端子側にAC電圧源101とDC電圧源103とが接続され、L端子側にAC電流計102が接続されている。

## 【0039】

この評価装置2では、DC電圧源104でMOSFET105のドレイン端子に一定電圧を印加した状態で、インピーダンスアナライザ106のH端子をMOSFET105のゲート端子に、インピーダンスアナライザ106のL端子をMOSFET105のソース端子にそれぞれ接続する。

## 【0040】

この時、AC電圧源101の振幅を $V_G$ 、AC電流計102の振幅を $I_S$ とすると、AC電圧源101の周波数 $f$ でのMOSFET105の相互コンダクタンス $g_m(f)$ は、

$$g_m(f) = I_S / V_G \quad \dots (1)$$

という式から求めることができる。その際、AC電圧源101の振幅はドレインやゲートに印加するDCの電圧に対して十分小さな値、例えばDCの電圧の1/10以下とする。

## 【0041】

図7は本発明の一実施例によるSOI MOSFETに対して相互コンダクタンス $g_m$ の周波数依存性を求めた場合の結果を示す図である。図7において、相互コンダクタンス $g_m$ は周波数の低い領域で、周波数に対して一定値であり、周波数を上げていくと、特定の周波数領域で増加し、それ以上の周波数では再び周波数に対して一定値となる。

## 【0042】

また、図6に示す構成において、ドレイン電圧と周波数とを固定したまま、インピーダンスアナライザ106の内部のDC電圧源103の電圧 $v_g$ を変化させて、その時の相互コンダクタンス $g_m(v_g)$ を測定する。この場合、MOSFET105のゲート端子に最小値が電圧 $v_{g0}$ で、最大値が電圧 $v_{g1}$ の信号が

入力された時の測定周波数近辺でのドレイン電流の振幅  $i_D$  は、

【数 1】

$$i_D = \int_{v_{g0}}^{v_{g1}} g_m(v_g) dv_g$$

... (2)

というように、相互コンダクタンス  $g_m$  を積分することで得られる。

【0043】

図 7 に示すような SOI MOSFET における相互コンダクタンス  $g_m$  の変化は SOI のボディ電圧がゲート電圧に連動して変化することによる。相互コンダクタンス  $g_m$  の周波数依存性からボディ電圧の振幅は、DC での相互コンダクタンス  $g_m$  の測定値を  $g_m(DC)$  とし、周波数  $f$  での相互コンダクタンス  $g_m$  の測定値を  $g_m(f)$  とし、しきい値のボディ電圧依存性を  $K_{BODY}$  とすると、

$$V_{BODY}(f) = \{ [\beta_{GM}(f) - 1] / K_{BODY} \} V_G \quad \dots (3)$$

$$\beta_{GM}(f) = g_m(f) / g_m(DC) \quad \dots (4)$$

という式から計算することができる。

【0044】

図 8 は本発明の他の実施例による評価装置の構成を示すブロック図である。図 8 において、本発明の他の実施例による評価装置 3 は AC 成分振幅算出回路 31 を付加した以外は図 1 に示す本発明の実施の形態による評価装置 1 と同様の構成となっており、同一構成要素には同一符号を付してある。

【0045】

図 9 は本発明の他の実施例による評価装置の動作を示すフローチャートである。これら図 8 及び図 9 を用いて本発明の他の実施例による評価装置 3 の動作について説明する。

【0046】

評価装置 3 において、AC 入力信号重畳回路 11 は MOSFET のゲート・ソ



ース・ドレイン・基板にDC電圧を印加し（図9ステップS21）、ゲートに微小電圧のAC入力信号を重畳する（図9ステップS22）。

#### 【0047】

AC成分測定回路12はその時のソース・ドレイン間に流れる電流のAC成分を測定し（図9ステップS23）、相互コンダクタンス算出回路13は電流のAC成分の振幅とAC入力信号の振幅との比較を行い（図9ステップS24）、この比からMOSFETのAC入力信号の周波数における相互コンダクタンスを求める（図9ステップS25）。

#### 【0048】

AC成分振幅算出回路31はAC入力信号の周波数におけるドレインコンダクタンスとDCでのSOI MOSFETのドレインコンダクタンスとを比較し（図9ステップS26）、この比と、SOI MOSFETのボディ電圧としきい値との関係とから、AC入力信号が入力されている状態でのボディ電圧のAC成分の振幅を求める（図9ステップS27）。

#### 【0049】

図10は本発明の別の実施例による評価装置の構成を示すブロック図である。図10において、本発明の別の実施例による評価装置4は比較回路41と、回路シミュレーション部42と、パラメータ制御回路43とを付加した以外は図8に示す本発明の他の実施例による評価装置3と同様の構成となっており、同一構成要素には同一符号を付してある。

#### 【0050】

図11は本発明の別の実施例による評価装置の動作を示すフローチャートである。これら図10及び図11を用いて本発明の別の実施例による評価装置4の動作について説明する。

#### 【0051】

評価装置4において、AC入力信号重畳回路11はMOSFETのゲート・ソース・ドレイン・基板にDC電圧を印加し（図11ステップS31）、ゲートに微小電圧のAC入力信号を重畳する（図11ステップS32）。

#### 【0052】

AC成分測定回路12はその時のソース・ドレイン間に流れる電流のAC成分を測定し(図11ステップS33)、相互コンダクタンス算出回路13は電流のAC成分の振幅とAC入力信号の振幅との比較を行い(図11ステップS34)、この比からMOSFETのAC入力信号の周波数における相互コンダクタンスを求める(図11ステップS35)。

#### 【0053】

比較回路41はDCでの相互コンダクタンスからの変化量、つまり相互コンダクタンスの周波数特性のゲート・ソース・ドレイン・基板電圧依存性を、回路シミュレーション部42での回路シミュレーションによって得られる相互コンダクタンスと比較する(図11ステップS36)。

#### 【0054】

パラメータ制御回路43は回路シミュレーション結果が変化量、つまりMOSFETの測定結果から得られる相互コンダクタンスの周波数特性に近づくように、回路シミュレーション部42での回路シミュレーションに用いるパラメータを変化させる(図11ステップS37)。

#### 【0055】

図12は本発明のさらに別の実施例による評価装置の構成を示すブロック図である。図12において、本発明のさらに別の実施例による評価装置5は相互コンダクタンス算出回路13の代わりにドレインコンダクタンス算出回路51を配設し、比較回路52と、回路シミュレーション部53と、パラメータ制御回路54とを付加した以外は図1に示す本発明の実施の形態による評価装置1と同様の構成となっており、同一構成要素には同一符号を付してある。

#### 【0056】

図13は本発明のさらに別の実施例による評価装置の動作を示すフローチャートである。これら図12及び図13を用いて本発明のさらに別の実施例による評価装置5の動作について説明する。

#### 【0057】

評価装置5において、AC入力信号重畳回路11はMOSFETのゲート・ソース・ドレイン・基板にDC電圧を印加し(図13ステップS41)、ゲートに

微小電圧のAC入力信号を重畳する（図13ステップS42）。

#### 【0058】

AC成分測定回路12はその時のソース・ドレイン間に流れる電流のAC成分を測定し（図13ステップS43）、ドレインコンダクタンス算出回路51は電流のAC成分の振幅とAC入力信号の振幅との比較を行い（図13ステップS44）、この比からSOI MOSFETのAC入力信号の周波数におけるドレインコンダクタンスを求める（図13ステップS45）。

#### 【0059】

比較回路52はDCでのドレインコンダクタンスからの変化量、つまりドレインコンダクタンスの周波数特性のゲート・ソース・ドレイン・基板電圧依存性を、回路シミュレーション部53での回路シミュレーションによって得られるドレインコンダクタンスと比較する（図13ステップS46）。

#### 【0060】

パラメータ制御回路54は回路シミュレーション結果が変化量、つまりMOSFETの測定結果から得られるドレインコンダクタンスの周波数特性に近づくように、回路シミュレーション部53での回路シミュレーションに用いるパラメータを変化させる（図13ステップS47）。

#### 【0061】

図14はSOI MOSFETのボディまわりの抵抗と容量との概略を示した図である。図14において、SOI MOSFETのボディ111はゲート電極107、ソース電極108、ドレイン電極109、基板電極110との間に容量CBG112（ボディーゲート間容量）、CBS113（ボディーソース間容量）、CBD114（ボディードレイン間容量）、CBB115（ボディー基板間容量）が存在する。

#### 【0062】

また、ボディ111とソース電極108・ドレイン電極109との間のp-n接合がダイオードDBS116（ボディーソース間ダイオード）、DBD117（ボディードレイン間ダイオード）として表され、チャネルでのインパクトイオン化による電流が電流源（ $I_i$ ）118（インパクトイオン化電流源）として表さ

れている。

#### 【0063】

従来のSOI MOSFETの回路設計に用いられるSPICEパラメータは、DCでのソースドレイン間の電流測定とSOIのボディを流れる電流とを用いてパラメータが抽出されているが、これだけではボディの動的な電圧変化を正しくシミュレーションすることはできない。

#### 【0064】

これに対して、本発明では、図6に示すような相互コンダクタンス $g_m$ の周波数依存性を用いてパラメータ抽出を行う。

#### 【0065】

これによって、本発明では、ボディ111の動的な電圧変化、つまりSOIのI-V特性の動的な変化を正しくシミュレーションすることができる。この時に抽出されるパラメータはボディ111を流れるDC電流成分からp-n接合の抵抗値やインパクトイオン化電流が、さらに相互コンダクタンス $g_m$ の周波数依存性からボディ111に関わる容量成分がそれぞれ求まる。

#### 【0066】

SOI MOSFETでは、一般的に、MOSFETを流れる電流による発熱によってMOSFETの温度が上昇してI-V特性が変化することが知られている。この発熱は本発明の相互コンダクタンス $g_m$ 測定にも影響を与えるが、本発明ではゲート電圧をしきい値電圧の±0.5V以内の低い電圧で行うことで、MOSFETを流れる電流を小さくし、発熱を抑制することができる。このため、相互コンダクタンス $g_m$ 測定に与える熱の影響を低減することができる。

#### 【0067】

図16には従来のドレインコンダクタンス法の測定方法を表している。この図16に示すように、従来の測定方法では、DC電圧源104でnMOSまたはpMOSのMOSFET105のゲート端子に一定電圧を印加した状態で、AC電圧源101とDC電圧源103とを直列接続した電圧源をMOSFET105のドレイン端子に接続し、その電圧源の反対側の端子をグラウンドに接続する。

#### 【0068】

また、従来の測定方法では、AC電流計102の入力端子をMOSFET105のソース端子に接続し、AC電流計102の反対側の端子をグラウンドに接続する。この状態で、AC電流計102の測定値とAC電圧源101の振幅との比を求めると、その値はACの信号の周波数でのMOSFET105のドレインコンダクタンスとなる。

#### 【0069】

このドレインコンダクタンス法では、AC電圧源101の振幅を $V_D$ 、AC電流計102の振幅を $I_S$ とすると、AC電圧源101の周波数 $f$ でのMOSFET105のドレインコンダクタンス $g_D(f)$ は、

$$g_D(f) = I_S / V_D \quad \dots (5)$$

)

という式で与えられる。

#### 【0070】

この時のドレインコンダクタンス $g_D$ の周波数依存性は、図17に示すように、ドレインコンダクタンス $g_D$ が周波数の低い領域で周波数に対して一定値であり、周波数を上げていくと特定の周波数領域で増加または減少し、それ以上の周波数では再び周波数に対して一定値となる。

#### 【0071】

SOI MOSFETにおける、図17に示すようなドレインコンダクタンス $g_D$ の変化はSOIのボディ電圧がゲート電圧に連動して変化することによる。ボディ電圧の振幅はドレインコンダクタンス $g_D$ の周波数依存性から、

$$V_{BODY}(f) = \{ [g_D(f) - g_{Dfix}] / g_{mfix} \times K_{BODY} \} \times V_G \quad \dots (6)$$

という式で計算することができる。ここで、 $g_{Dfix}$ はボディ電圧を固定した時のドレインコンダクタンス $g_D$ 、 $g_{mfix}$ はボディ電圧を固定した時の相互コンダクタンス $g_m$ である。

#### 【0072】

従来のSOI MOSFETの回路設計に用いられるSPICEパラメータは、DCでのソースドレイン間の電流測定とSOIのボディを流れる電流とを用

いてパラメータが抽出されているが、これだけではボディの動的な電圧変化を正しくシミュレーションすることはできない。

#### 【0073】

これに対して、本発明では、図17に示すようなドレインコンダクタンス  $g_D$  の周波数依存性を用いてパラメータ抽出を行っている。これによって、本発明では、ボディの動的な電圧変化、つまりSOIのI-V特性の動的な変化を正しくシミュレーションすることができる。この時に抽出されるパラメータはボディ111を流れるDC電流成分からp-n接合の抵抗値やインパクトイオン化電流が、またドレインコンダクタンス  $g_D$  の周波数依存性からボディ111に関わる容量成分がそれぞれ求まる。

#### 【0074】

一般的に、SOI MOSFETのボディ電圧のDC特性はインパクトイオン化電流に大きな影響を受ける。このため、図17に示す変化において、低周波領域でのドレインコンダクタンス  $g_D$  はボディ電圧を固定した時のドレインコンダクタンス  $g_D$  からインパクトイオン化の影響分だけ変化した値となる。

#### 【0075】

これに対して、図17に示す変化において、高周波領域ではインパクトイオン化電流の影響が小さくなり、代わりにボディ111はゲート107、ソース108、ドレイン109、基板110との間に容量の影響が大きくなる。つまり、図17に示す低周波領域でのドレインコンダクタンス  $g_D$  と、高周波領域でのドレインコンダクタンス  $g_D$  との差はインパクトイオン化の影響と容量の影響との差である。よって、この差の値からは各々の影響のみを切出すことができない。

#### 【0076】

上述した本発明の各実施例では、ソースドレイン間の電圧が±0.5V以内の低い電圧で測定する。これによって、本発明の各実施例では、インパクトイオン化電流が小さくなることで、インパクトイオン化の影響を低減することができる。このため、低周波領域でのドレインコンダクタンス  $g_D$  と高周波領域でのドレインコンダクタンス  $g_D$  との差から容量の影響のみを切出すことができる。

## 【0077】

以上のように、本発明では、MOSFET105のAC動作でのI-V特性を精度良く測定することができる。また、本発明では、SOI MOSFETにおいて、このI-V特性からSOI MOSFETのボディ電圧のAC動作での挙動を知ることができる。さらに、本発明では、測定したAC動作でのI-V特性に対してSPICEパラメータをフィッティングさせることによって、動的なI-V特性の変化も正しくシミュレーション可能なパラメータを得ることができる。

## 【0078】

## 【発明の効果】

以上説明したように本発明は、MOSFETのゲート・ソース・ドレイン・基板にDC電圧を印加した状態で、ゲートに微小電圧のAC入力信号を重畳し、ゲートに微小電圧のAC入力信号を重畳した時にソースとドレインとの間に流れる電流のAC成分を測定し、この測定したAC成分の振幅とAC入力信号の振幅との比からMOSFETのAC入力信号の周波数における相互コンダクタンスを求めることによって、MOSFETのAC動作でのI-V特性を精度良く測定することができるという効果が得られる。

## 【図面の簡単な説明】

## 【図1】

本発明の実施の形態による評価装置の構成を示すブロック図である。

## 【図2】

本発明の実施の形態による評価装置の動作を示すフローチャートである。

## 【図3】

本発明の実施の形態による評価装置の回路構成を示す図である。

## 【図4】

本発明の一実施例による評価装置の構成を示すブロック図である。

## 【図5】

本発明の一実施例による評価装置の動作を示すフローチャートである。

**【図 6】**

本発明の一実施例による評価装置の回路構成を示す図である。

**【図 7】**

本発明の一実施例による SOI MOSFET に対して相互コンダクタンス  $g_m$  の周波数依存性を求めた場合の結果を示す図である。

**【図 8】**

本発明の他の実施例による評価装置の構成を示すブロック図である。

**【図 9】**

本発明の他の実施例による評価装置の動作を示すフローチャートである。

**【図 10】**

本発明の別の実施例による評価装置の構成を示すブロック図である。

**【図 11】**

本発明の別の実施例による評価装置の動作を示すフローチャートである。

**【図 12】**

本発明のさらに別の実施例による評価装置の構成を示すブロック図である。

**【図 13】**

本発明のさらに別の実施例による評価装置の動作を示すフローチャートである。

**【図 14】**

SOI MOSFET のボディまわりの抵抗と容量との概略を示した図である。

**【図 15】**

従来のパルス測定法の測定方式を示す図である。

**【図 16】**

従来のドレインコンダクタンス法の測定方式を示す図である。

**【図 17】**

従来のドレインコンダクタンス法の測定結果の一例を示す図である。

**【符号の説明】**

1～5 評価装置

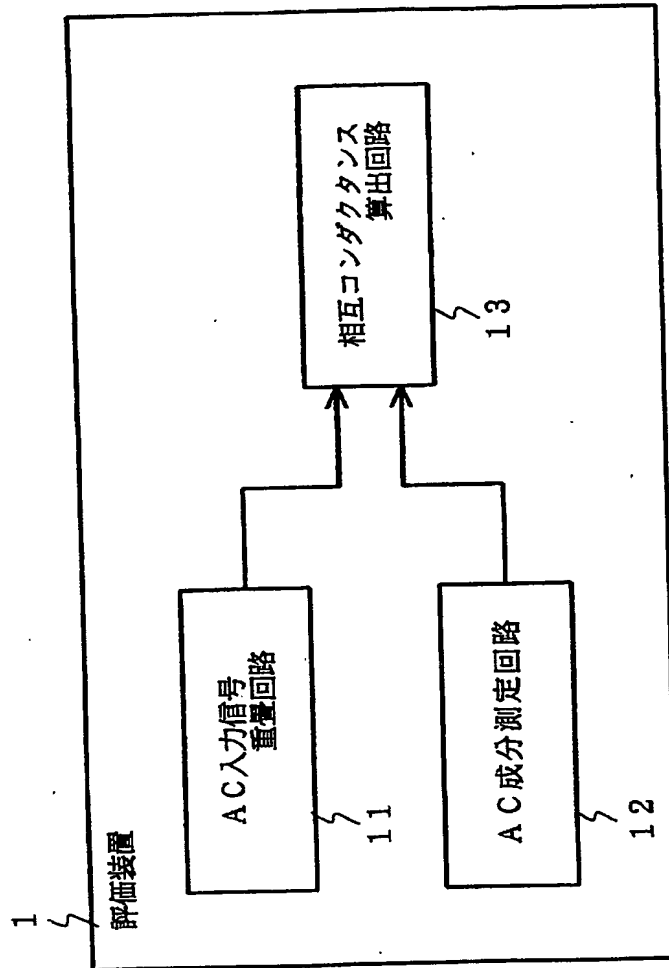


- 1 1 AC入力信号重畳回路
- 1 2 AC成分測定回路
- 1 3 相互コンダクタンス算出回路
- 2 1 ドレイン電流算出回路
- 3 1 AC成分振幅算出回路
- 4 1, 5 2 比較回路
- 4 2, 5 3 回路シミュレーション部
- 4 3, 5 4 パラメータ制御回路
- 5 1 ドレインコンダクタンス算出回路
- 1 0 1 AC電圧源
- 1 0 2 AC電流計
- 1 0 3, 1 0 4 DC電圧源
- 1 0 5 MOSFET
- 1 0 6 インピーダンスアナライザ
- 1 0 7 ゲート電極
- 1 0 8 ソース電極
- 1 0 9 ドレイン電極
- 1 1 0 基板電極
- 1 1 1 ボディ
- 1 1 2 ボディーゲート間容量
- 1 1 3 ボディーソース間容量
- 1 1 4 ボディードレイン間容量
- 1 1 5 ボディー基板間容量
- 1 1 6 ボディーソース間ダイオード
- 1 1 7 ボディードレイン間ダイオード
- 1 1 8 インパクトイオン化電流源

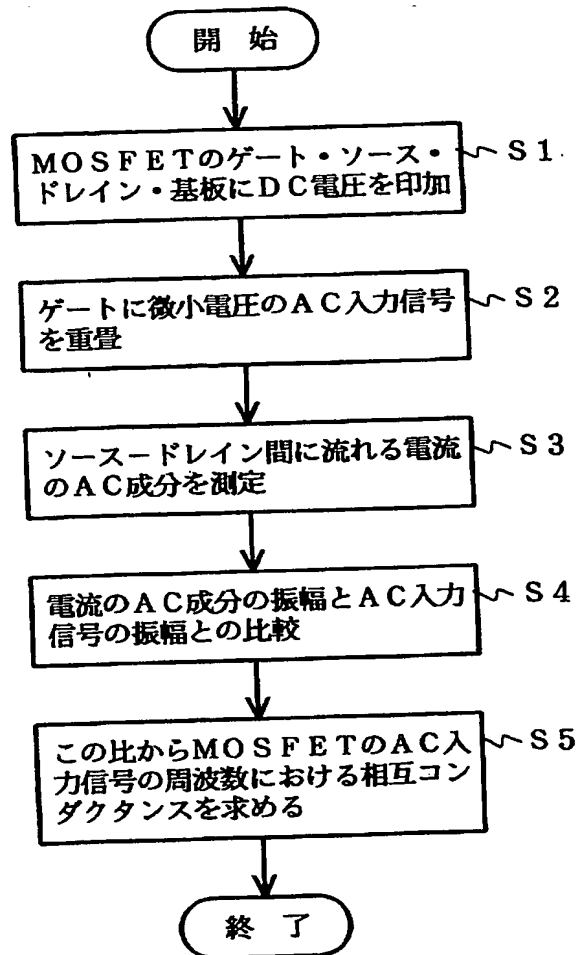
【書類名】

図面

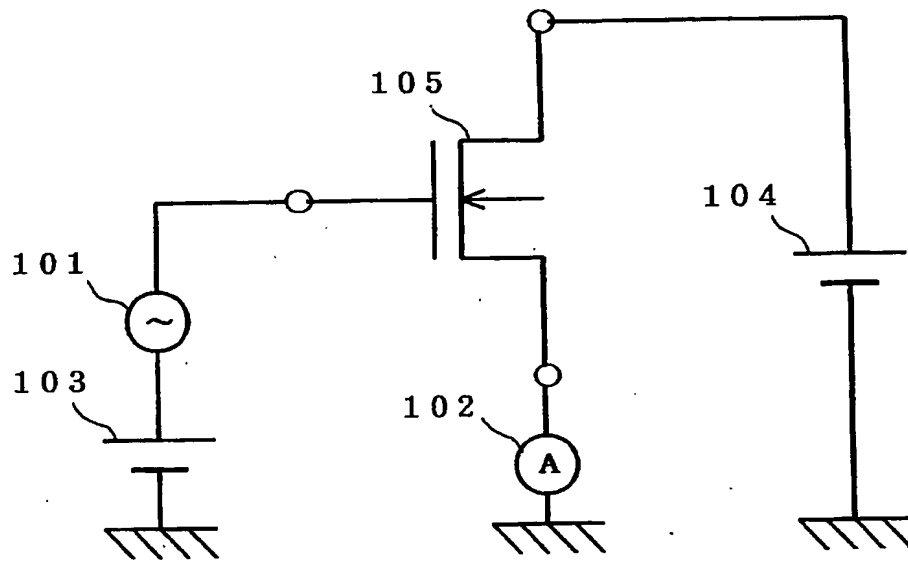
【図 1】



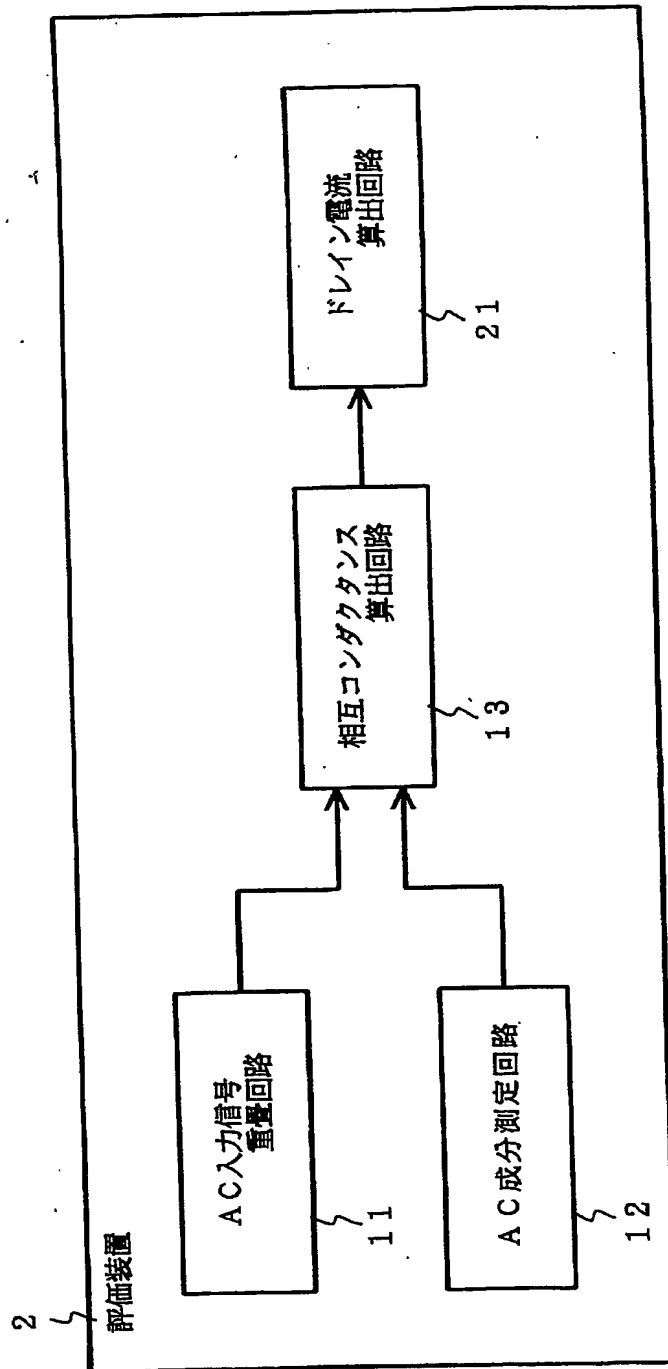
【図 2】



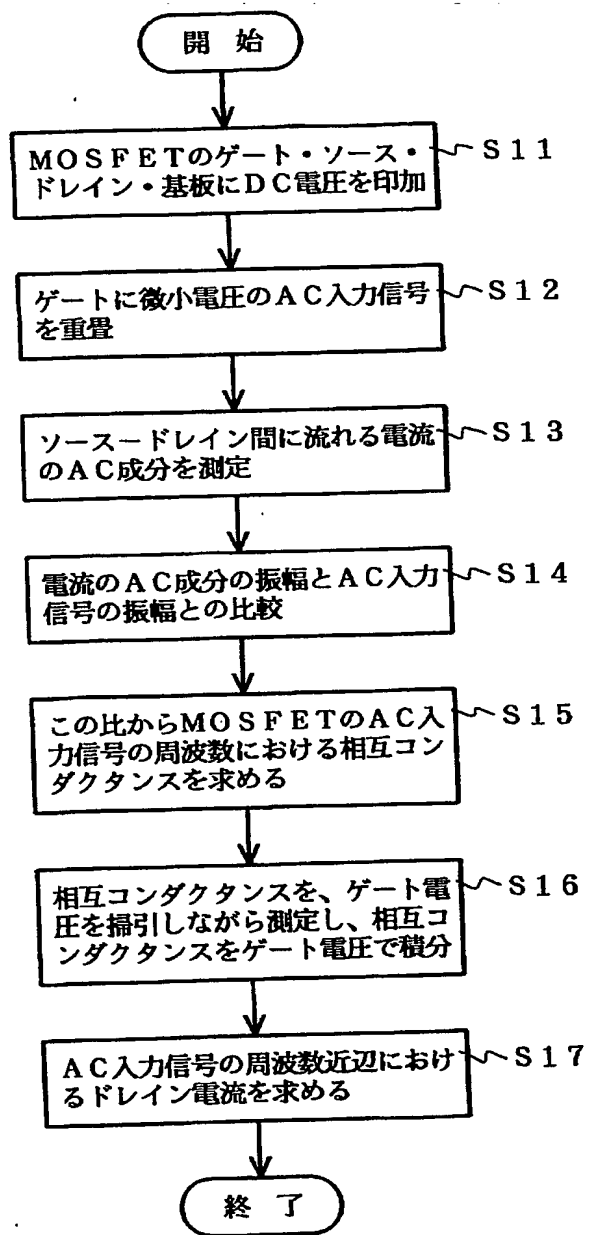
【図 3】



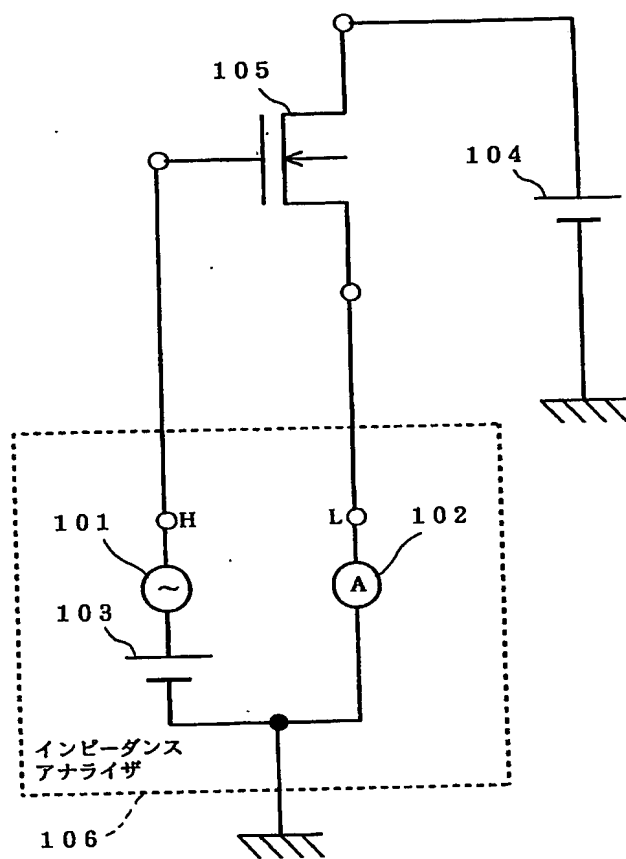
【図 4】



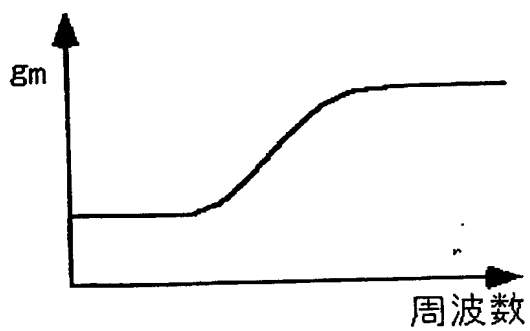
【図 5】



【図 6】

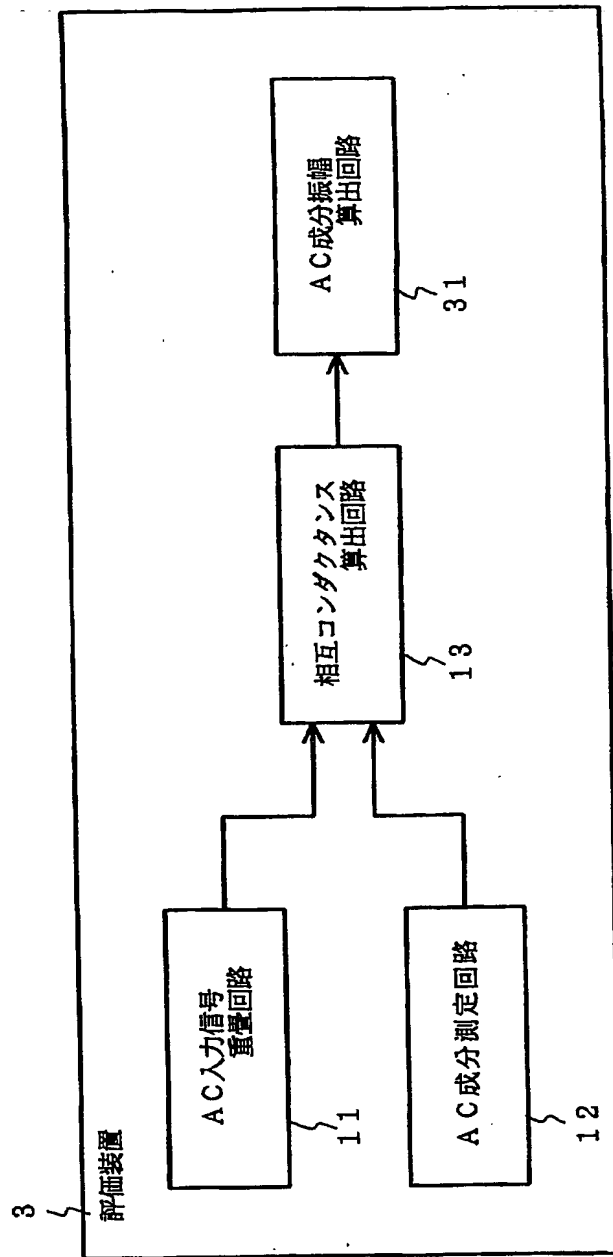


【図 7】

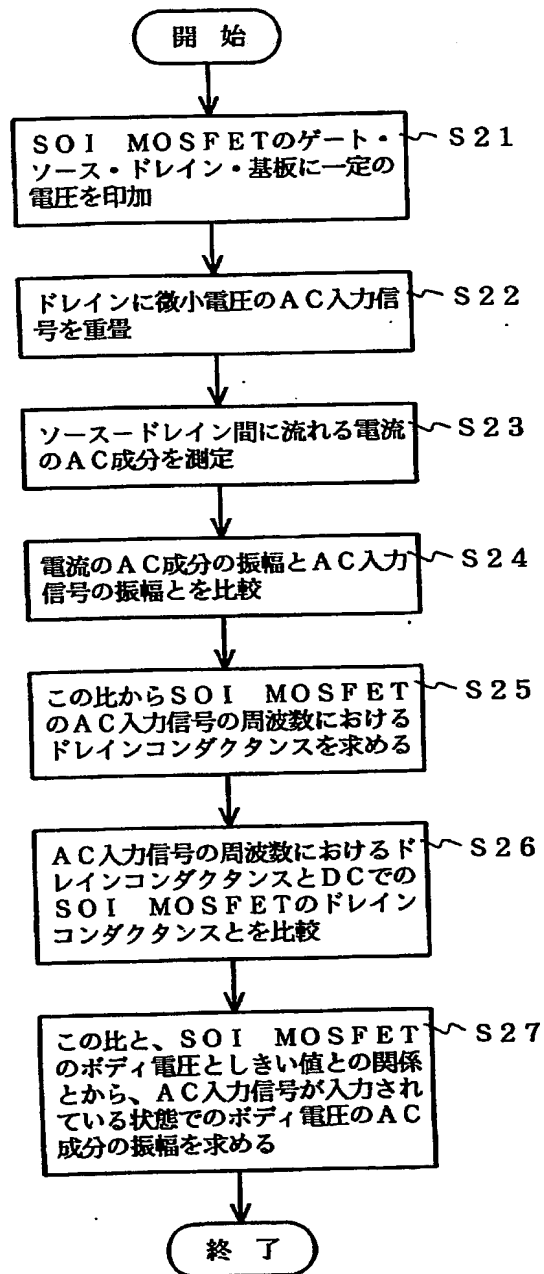




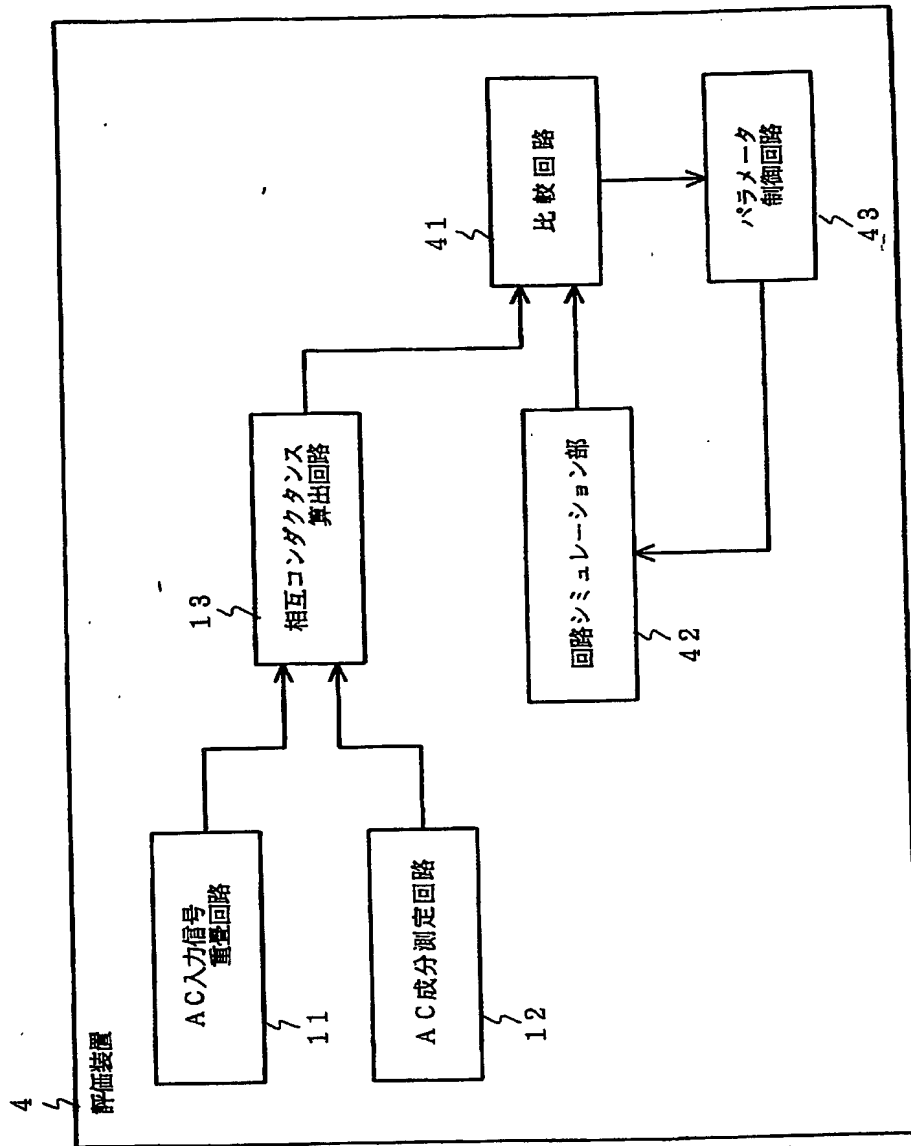
【図 8】



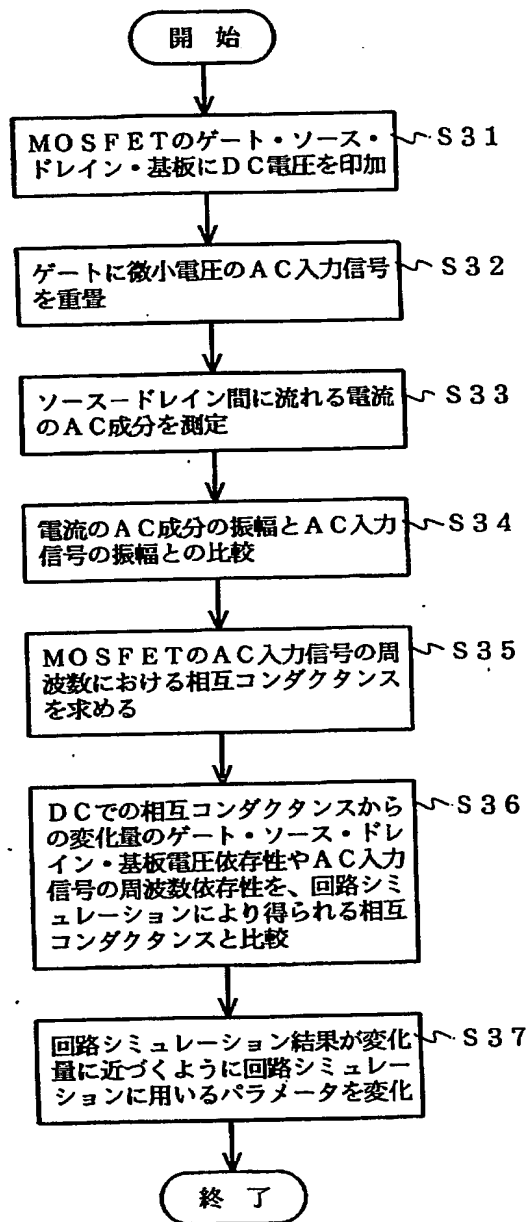
【図 9】



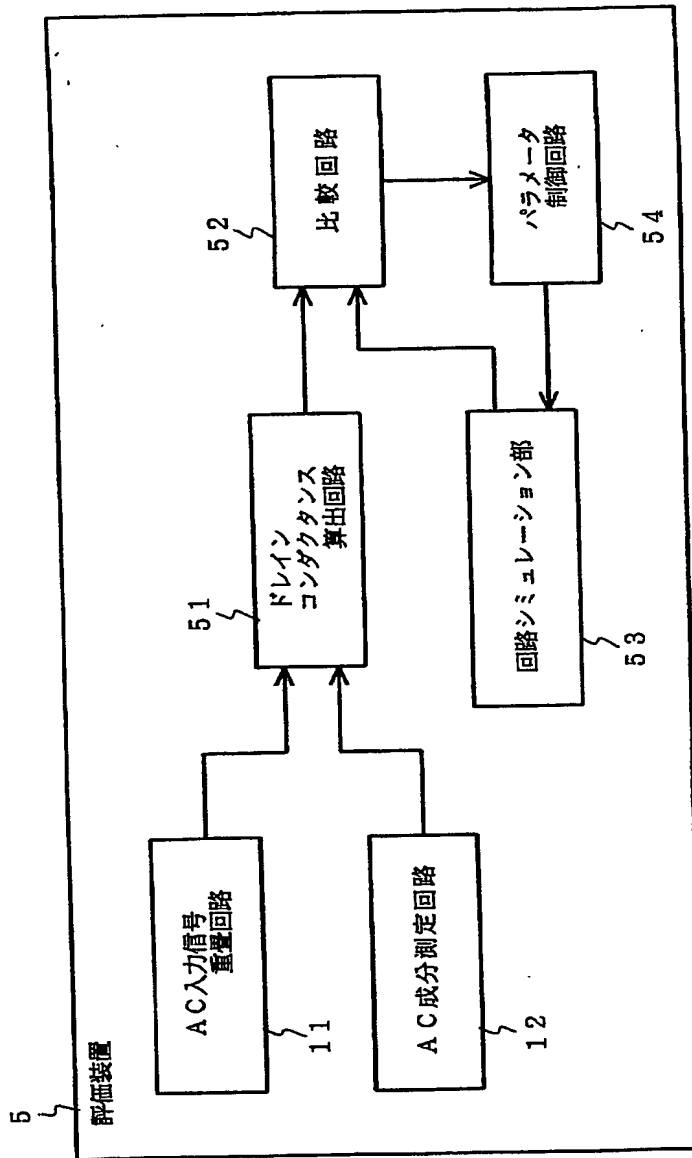
【図 10】



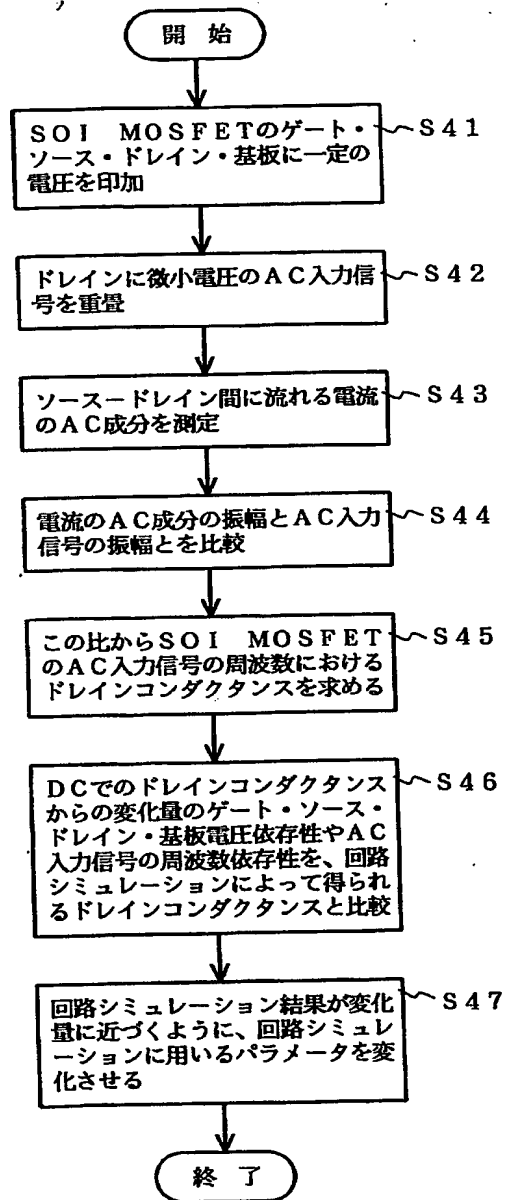
【図 11】



【図 12】

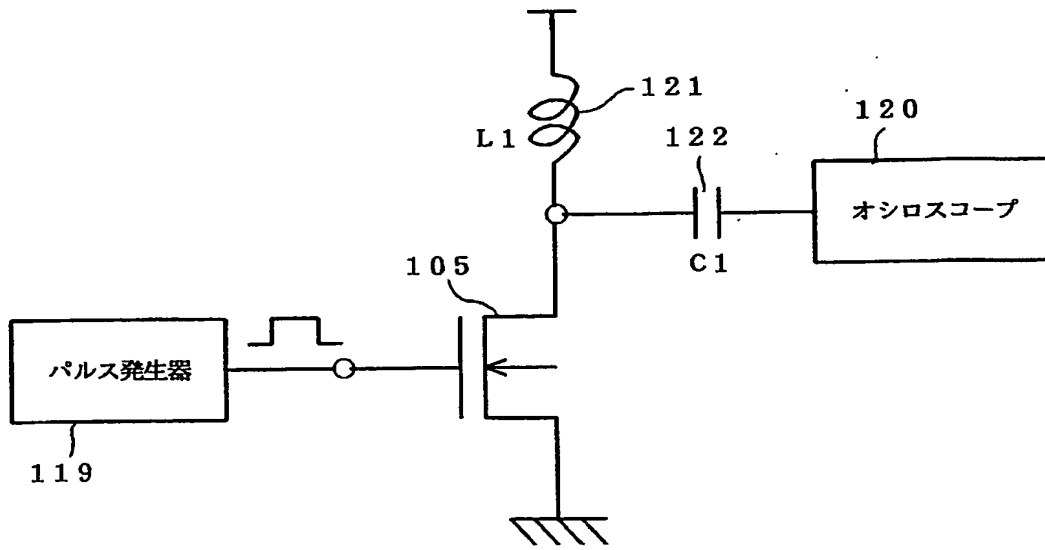


【図 13】



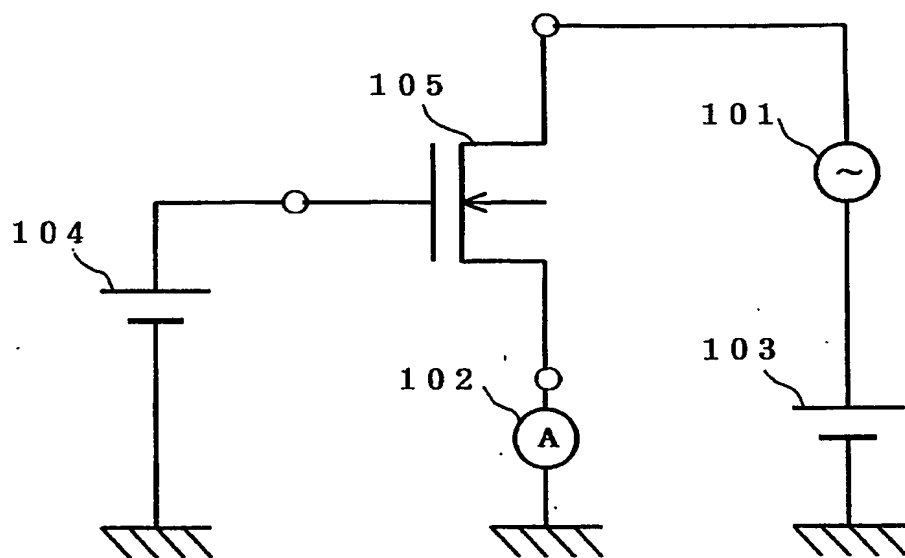


【図 15】

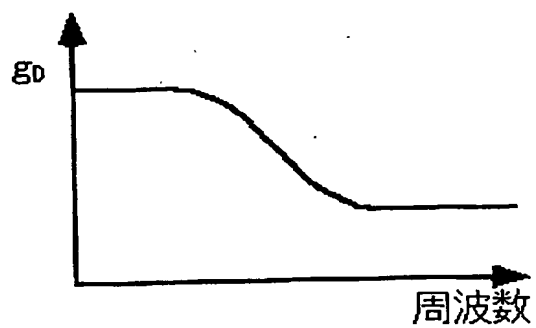




【図16】



【図17】





【書類名】 要約書

【要約】

【課題】 MOSFETのAC動作でのI-V特性を精度良く測定可能な評価装置を提供する。

【解決手段】 評価装置1において、AC入力信号重畳回路11はMOSFETのゲート・ソース・ドレイン・基板にDC電圧を印加し、ゲートに微小電圧のAC入力信号を重畳する。AC成分測定回路12はその時のソースドレイン間に流れる電流のAC成分を測定し、相互コンダクタンス算出回路13は電流のAC成分の振幅とAC入力信号の振幅との比較を行い、この比からMOSFETのAC入力信号の周波数における相互コンダクタンスを求める。

【選択図】 図1

特願 2002-373349

出願人履歴情報

識別番号

[000004237]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

東京都港区芝五丁目7番1号

氏 名

日本電気株式会社